

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068841

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H05K 3/34

(21)Application number : 11-241703

(71)Applicant : SONY CORP

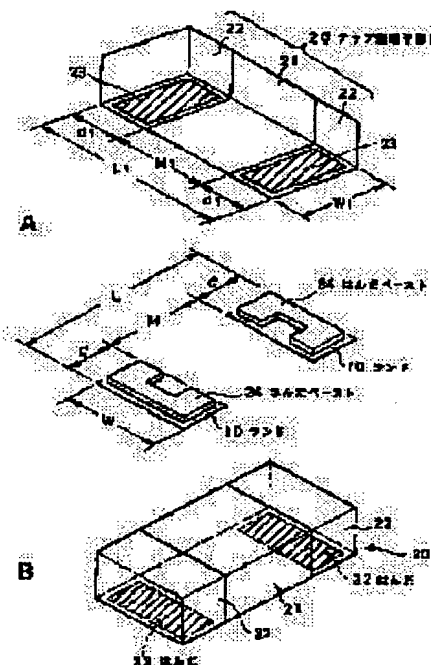
(22)Date of filing : 27.08.1999

(72)Inventor : MINAMIZAWA OSAMU
ODA KUNIO
WATANABE NORIAKI

(54) PRINTED WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce consumption of solder when chip electronic components are mounted on lands of a printed wiring board.
SOLUTION: The lands 10 of the printed wiring board are formed with length and width corresponding to an electrode 22, the parts of the lands inside their external edges are coated with solder paste, and the solder paste applied to the part of the center line of the chip type electronic component 20 along its length is less in amount than the solder paste applied to both sides.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68841

(P2001-68841A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl.⁷

H 0 5 K 3/34

識別記号

5 0 5

F I

H 0 5 K 3/34

テ-マコ-ト* (参考)

5 0 5 B 5 E 3 1 9

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平11-241703

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 南沢 修
愛知県額田郡幸田町大字坂崎字雀ヶ入1番
地 ソニー幸田株式会社内
(72) 発明者 織田 邦夫
愛知県額田郡幸田町大字坂崎字雀ヶ入1番
地 ソニー幸田株式会社内
(74) 代理人 100080883
弁理士 松隈 秀盛

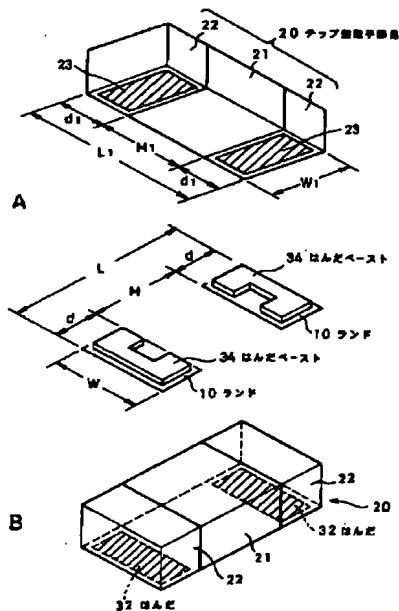
最終頁に続く

(54) 【発明の名称】 プリント配線基板

(57) 【要約】

【課題】 プリント配線基板のランドにチップ型電子部品を装着する場合にはんだの使用量を少なくすることを目的とする。

【解決手段】 プリント配線基板のランドの各々は、上記電極に対応した長さ及び幅に形成され、上記ランドの各々には、外縁より内側の部分にはんだペーストが塗布され、上記チップ型電子部品の長手方向に沿った中心線の部分に塗布されたはんだペーストはその両側部分に塗布されたはんだペーストより少量である。



本発明によるプリント配線基板の例

【特許請求の範囲】

【請求項1】 チップ型電子部品の両端の電極に対応した少なくとも1対のランドを有するプリント配線基板において、

上記ランドの各々は上記電極に対応した長さ及び幅に形成され、上記ランドの各々には、外縁より内側の部分にはんだペーストが塗布され、上記チップ型電子部品の長手方向に沿った中心線の部分に塗布されたはんだペーストはその両側部分に塗布されたはんだペーストより少量であることを特徴とするプリント配線基板。

【請求項2】 請求項1記載のプリント配線基板において、

上記ランドの各々は1つの矩形であり、該矩形のランドには、コの字形のはんだペーストが塗布されていることを特徴とするプリント配線基板。

【請求項3】 請求項1記載のプリント配線基板において、

上記ランドの一方は1つの長方形であり他方は2つの矩形であり、上記ランドの各々には口の字形のはんだペーストが塗布されていることを特徴とするプリント配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップ型電子部品を実装するためのプリント配線基板に関し、特に、チップ型電子部品のためのランドが形成されたプリント配線基板に関する。

【0002】

【従来の技術】図3を参照して従来のプリント配線基板に設けられたランド及びそれに装着されるチップ型電子部品を説明する。図3Aに示すように、チップ型電子部品20は通常、直方体をなしており、本体21の両端に設けられた電極22、22を有する。電極22、22は、チップ型電子部品20の6面20A～20Fと略同一面をなすように形成されている。従って、各電極22は、チップ型電子部品20の6面20A～20Fに対応した5つの面を有する。このようなチップ型電子部品はリードレス型又は面実装部品と称される。

【0003】プリント配線基板30に形成されるランド10、10は、チップ型電子部品20の電極22、22に対応して形成される。チップ型電子部品20の電極22、22は互いに隔置された2つの部分よりなるため、ランド10も互いに隔置された2つの部分よりなる。

【0004】図3Bに示すように、実装工程にて、プリント配線基板30のランド10、10とその上に配置されたチップ型電子部品20の電極22、22がはんだ付けされる。はんだ付けの方法はリフロー法等、様々な方法が知られている。

【0005】従来のプリント配線基板のランド10の形状について説明する。ランド10の形状として、様々な

ものが知られている。通常、最も一般的な形状は、長方形である。長方形ランドは、製造が簡単であり、広く使用されているが、はんだボールが形成し易い、はんだブリッジが形成され易い等の欠点がある。

【0006】従って、長方形以外の形状のランドが考案され、提案されている。このようなランドの例として、例えば、実開昭62-11279号又は実開平2-4279号に開示されたものがある。図3及び図4A～図4Dの例は実開昭62-11279号に開示されたものであり、図4Eの例は実開平2-4279号に開示されたものがある。

【0007】図3に示した例では、各ランド10の両端には凸部10a、10aが設けられ、従って、ランド10の両端部の面積が大きくなっている。こうして、ランド10の両端部の面積を大きくすることによって、はんだがランド10の両端に広がり、ランド10の中央におけるはんだ過多が回避され、はんだボールの形成が防止される。

【0008】図4を参照して説明する。図4Aに示すように、チップ型電子部品20の長手方向の寸法をL1、電極22の寸法をd1、電極を除いた本体の寸法をM1とする。また、チップ型電子部品20の幅をW1とする。

【0009】図4Bに示すランド10、10では、液状のはんだをランド10の両側に導くように、ランド10の両端部の面積が大きくなっている。図4Cに示すランド10、10では、液状のはんだをランド10の両側に導くように、ランド10の両端が分岐されている。図4Dに示す例では、各ランド10は両側に配置された2つの部分よりなる。こうして、各ランド10の中央部分にランドを設けないことによってランドの中央におけるはんだ過多が防止される。

【0010】図4Eに示す例では、ランド10の中央のライン10bの部分にてランドの幅が小さく、従って、ランド10の両端部の面積が大きくなっている。

【0011】次にランドの寸法について説明する。ランド10の寸法はチップ型電子部品の電極22の寸法と同一であってよくそれよりも大きくてもよい。しかしながら、近年、プリント配線基板30に多数のチップ型電子部品を高密度にて実装する要請が高まり、ランド10の寸法をできるだけ小さくする場合が多い。

【0012】2つのランド10、10の内端の間の距離Mはチップ型電子部品20の電極22、22を除いた本体21の寸法M1に略等しい。2つのランド10、10の外端の間の距離Lは、一般に、チップ型電子部品20の長手方向の寸法L1より大きい。

【0013】

【数1】 $M \approx M1$

$L > L1$

【0014】また、ランド10の横方向の寸法Wはチップ

ブ型電子部品20の幅W1に略等しい。

【0015】

【数2】 $W \approx W1$

【0016】

【発明が解決しようとする課題】従来のプリント配線基板では、ランドの寸法はチップ型電子部品の電極より大きい。従って、ランドの上にチップ型電子部品を配置すると、ランドの一部が電極より突出する。ランドにチップ型電子部品の電極をはんだ付けすると、この突出部にはんだが盛り上がるため、チップ型電子部品はプリント配線基板に強固に固定される。即ち、はんだは電極の下面ばかりでなく横側面に付着する。

【0017】しかしながら、ランドの寸法がチップ型電子部品の電極より大きく、ランドの一部が電極より突出すると、隣接するチップ型電子部品との間の距離を小さくすることができない。従って、チップ型電子部品の実装密度を大きくすることができない。

【0018】また、ランドの寸法が大きくなると、はんだの使用量が多くなり、製造費が増加する。

【0019】従って、本発明は、プリント配線基板のランドにチップ型電子部品を実装する場合に、チップ型電子部品の実装密度を高くすることを目的とする。

【0020】本発明は、プリント配線基板のランドにチップ型電子部品を実装する場合に、はんだの使用量を減少することを目的とする。

【0021】

【課題を解決するための手段】本発明によると、チップ型電子部品の両端の電極に対応した少なくとも1対のランドを有するプリント配線基板において、上記ランドの各々は上記電極に対応した長さ及び幅に形成され、上記ランドの各々には、外縁より内側の部分にはんだペーストが塗布され、上記チップ型電子部品の長手方向に沿った中心線の部分に塗布されたはんだペーストはその両側部分に塗布されたはんだペーストより少量である。

【0022】従って、プリント配線基板にチップ型電子部品を実装する場合に、チップ型電子部品の実装密度を高くすることができ、はんだの量を少なくすることができる。また、はんだペーストが塗布されたランドにチップ型電子部品を配置するとき、チップ型電子部品が傾斜することがないから、実装工程が能率化される。

【0023】

【発明の実施の形態】図1を参照して本発明のプリント配線基板の例を説明する。チップ型電子部品20は図3を参照して説明したものと同様であり、直方体の形状を有し、両端に電極22、22を有する。各電極22は、チップ型電子部品20の6面と略同一面に配置された5面を有する。

【0024】図1Aに示すように、ランド10、10はチップ型電子部品20の電極22、22に対応した2つの長方形に形成される。図4Aの場合と同様に、チップ

型電子部品20の長手方向の寸法をL1、電極22の寸法をd1、電極を除いた本体の寸法をM1とする。また、チップ型電子部品20の幅をW1とする。

【0025】2つのランド10、10の外端の間の距離Lはチップ型電子部品20の長手方向の寸法L1に略等しく、2つのランド10、10の内端の間の距離Mはチップ型電子部品20の電極22、22を除いた本体21の寸法M1に略等しい。また、ランド10の横方向の寸法Wはチップ型電子部品20の幅W1に略等しい。

【0026】

【数3】 $L \approx L1$

$M \approx M1$

$W \approx W1$

【0027】このランド10、10には、はんだペースト34、34が塗布される。はんだペースト34、34は、ランド10、10の外縁より僅かに内側に塗布されてよい。従って、電極22、22の下面の斜線部分23、23は、はんだが装着されるための領域である。

【0028】本発明によると、はんだペースト34は、ランド10の中央部分にて比較的少量となり、ランド10の両側にて比較的少量となるように、塗布される。例えば、はんだペースト34は「コ」の字形に塗布される。

【0029】こうして、はんだペースト34、34をランド10の中央部にて比較的少なくなるように塗布することによって、はんだペースト34、34の上にチップ型電子部品を配置したときに、チップ型電子部品が傾斜することが防止される。

【0030】図1Bに示すように、チップ型電子部品20はランド10、10上のはんだ32、32によってプリント配線基板30に固定される。本例では、はんだ32がランド10の外側に出ないように、はんだペースト34が塗布される。

【0031】図2に発明によるプリント配線基板の第2の例を示す。本例では、2つのランドの一方10Aは、電極22の長さ及び幅と略同一の長さ及び幅の長方形をなしているが、他方10Bは、2つの矩形又は正方形よりなる。本例の場合もランド10A、10B、10Bの寸法は基本的に数3の式が成り立つ。

【0032】後者の2つのランド10B、10Bの外縁の間の長さWは、電極22の長さW1に略等しく、その幅dは電極22の幅d1に略等しい。従って、ランド10A、10Bが電極22、22より外側に出ることはない。

【0033】第1のランド10Aには、はんだペースト34が「口」の字形に塗布され、第2のランド10B、10Bにも、はんだペースト34が「口」の字形に塗布されている。

【0034】こうして、本例によると、第2のランド10B、10Bに2つの部分からなるはんだペースト3

4、34が塗布されているため、はんだペースト34の上にチップ型電子部品20を配置しても、チップ型電子部品20が傾斜することが防止される。

【0035】はんだペースト34は、当業者によって既知の適当な方法、例えば、スクリーン印刷法によって塗布されてよい。はんだペースト34の上にチップ型電子部品20が配置されると、適当な方法、例えば、リフロー法によってはんだが熔融される。はんだが熔融すると、はんだのセルフアラインメント機能によって電子部品は自動的にランド10の中央に移動する。

【0036】以上本発明の実施例について詳細に説明してきたが、本発明は上述の実施例に限ることなく本発明の要旨を逸脱することなく他の種々の構成が採り得ることは当業者にとって容易に理解されよう。

【0037】

【発明の効果】本発明によると、チップ型電子部品を高い実装密度にてプリント配線基板に実装することができる利点がある。

【0038】本発明によると、少ない量のはんだを使用してチップ型電子部品をプリント配線基板に実装するこ

*とができる利点がある。

【0039】本発明によると、はんだペーストの上にチップ型電子部品を配置してもチップ型電子部品が傾斜しないから、実装工程において不良品が生ずることが回避される効果がある。

【図面の簡単な説明】

【図1】本発明のプリント配線基板のランド及びそれに装着されるチップ型電子部品を示す図である。

【図2】本発明のプリント配線基板のランドにはんだ付けされたチップ型電子部品を示す図である。

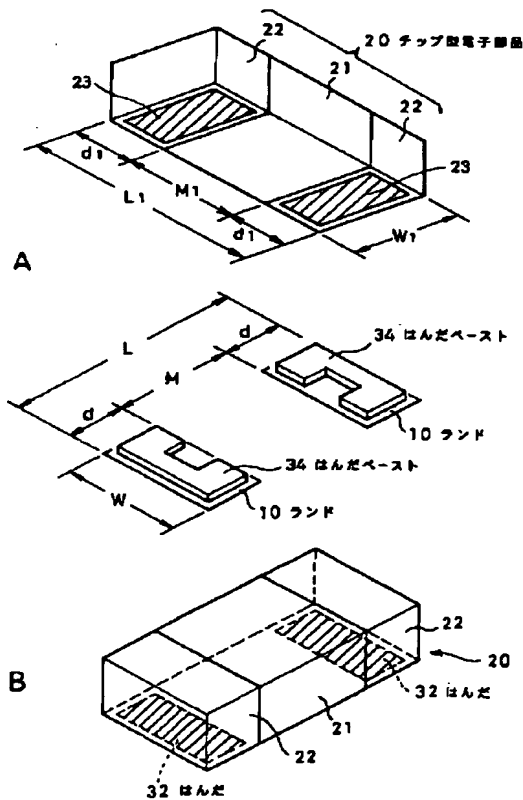
【図3】従来のプリント配線基板のランド及びそれに装着されるチップ型電子部品を示す図である。

【図4】従来のプリント配線基板のランドの他の例を示す図である。

【符号の説明】

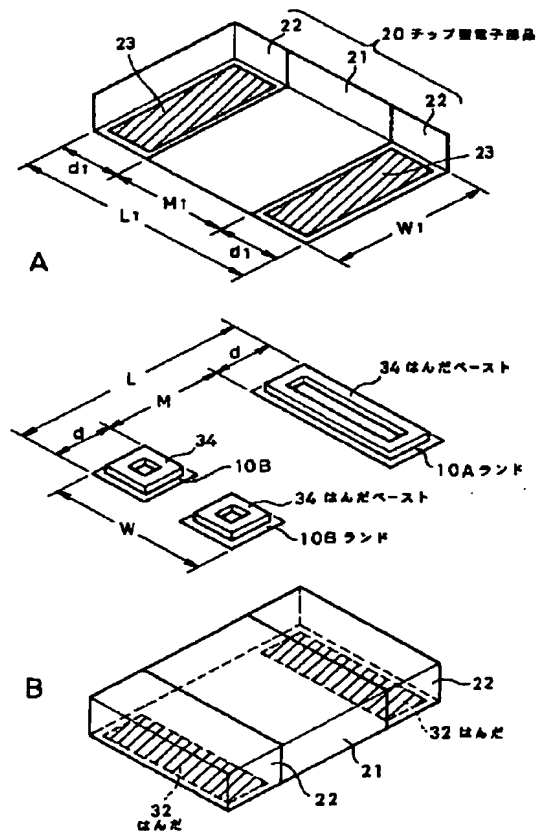
10…ランド、 10A…ランドの長方形部、 10B…ランドの凸部、 10C…ランドの凹部、 20…チップ型電子部品、 21…本体、 22…電極、 30…プリント配線基板、 32…はんだ、 34…はんだペースト

【図1】



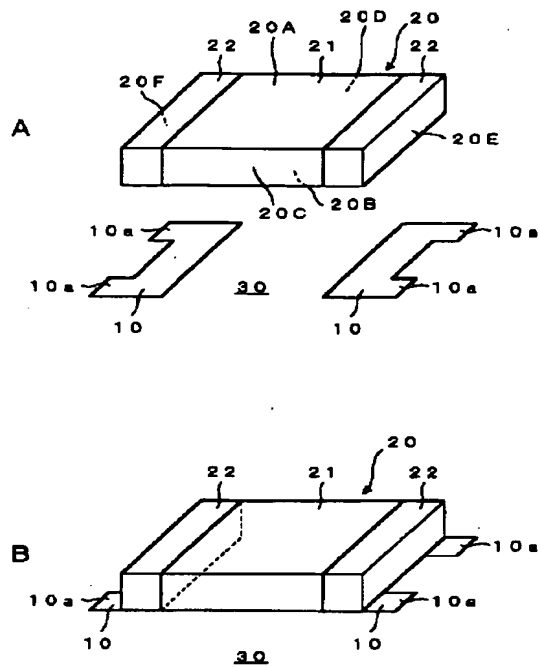
本発明によるプリント配線基板の例

【図2】



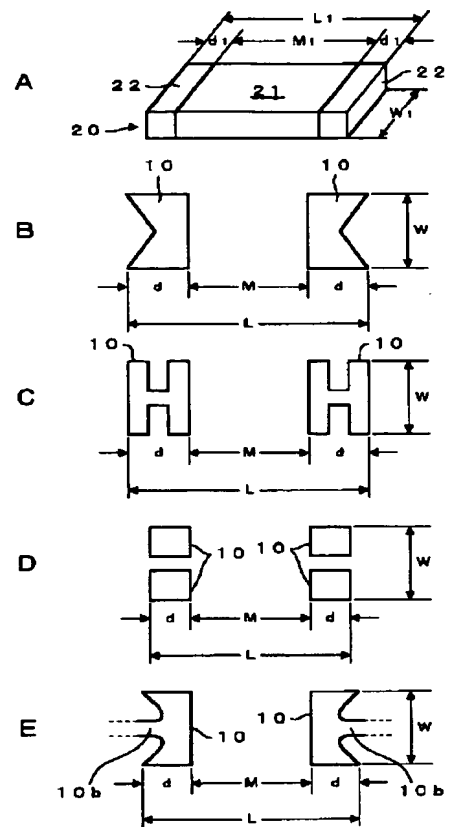
本発明によるプリント配線基板の例

【図3】



従来のプリント配線基板のランドと
それに装着されるチップ型電子部品の例

【図4】



従来のプリント配線基板のランドの例

フロントページの続き

(72)発明者 渡邊 則明
愛知県額田郡幸田町大字坂崎字雀ヶ入1番
地 ソニー幸田株式会社内

Fターム(参考) 5E319 AA03 AB05 BB05 CC33 CD26
CD29 GG09

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005179

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01G9/012, 9/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01G9/012, 9/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-358041 A (Rohm Co., Ltd.), 26 December, 2001 (26.12.01), Par. Nos. [0020] to [0037] (Family: none)	1-3 4
Y	JP 2001-68841 A (Sony Corp.), 16 March, 2001 (16.03.01), Claim 1; Fig. 1 (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 July, 2004 (09.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.